

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242845

(43)Date of publication of application : 11.09.1998

(51)Int.Cl. H03L 7/08

(21)Application number : 09-044161

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 27.02.1997

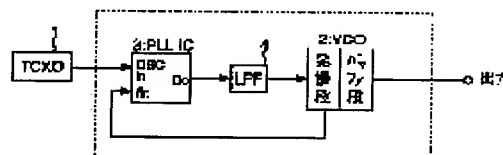
(72)Inventor : FURUKUBO MASASHI
OE OSAMU

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a signal fed back to the PLL circuit from being affected by variation of a load and to maintain a stable phase-locked state by outputting the oscillation signal of the oscillation stage of a voltage-controlled oscillator to a PLL control circuit and outputting the output signal of a buffer stage which buffers and amplifies the sent signal to the outside.

SOLUTION: The reference frequency signal generated by a reference frequency signal oscillator TCXO 1 is inputted to the oscillation stage of the voltage-controlled oscillator VCO 2 and a signal which is oscillated according to a control voltage is supplied as a feedback signal to a PLL-IC 3, and buffered and amplified by the buffer stage of the VCO 2 and then outputted to the outside. The PLL-IC 3 generates a control signal according to the phase difference between the reference frequency signal and feedback signal and supplies it to the VCO 2. Thus, the VCO 2 is provided with the oscillation stage and buffer stage, the feedback signal to the PLL circuit is supplied from the oscillation stage, and that to the load is outputted from the buffer stage to make the feedback signal irrelevant to variation of the load, thereby stabilizing the operation.



LEGAL STATUS

[Date of request for examination]

19.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242845

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁹

H 0 3 L 7/08

識別記号

F I

H 0 3 L 7/08

H

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平9-44161

(22) 出願日

平成9年(1997) 2月27日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 古久保 昌志

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 大江 修

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

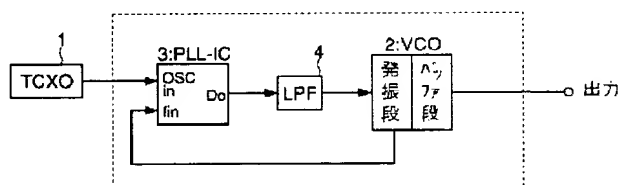
(74) 代理人 弁理士 小森 久夫

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 VCOの出力に接続される負荷の影響を受けずに安定したロック状態を維持できるようにしたPLL回路を提供する。

【解決手段】 VCO2の発振段の発振信号をPLL-IC3へ入力し、VCO2のバッファ段から外部へ出力信号を取り出す。



【特許請求の範囲】

【請求項 1】 基準周波数信号を発生する基準周波数信号発振器、制御電圧に応じた周波数で発振する電圧制御発振器、該電圧制御発振器の発振信号と前記基準周波数信号とを入力して制御信号を発生する PLL 制御回路、および前記制御信号をフィルタリングして前記電圧制御発振器に対する制御電圧を発生するループフィルタを備えた PLL 回路において、前記電圧制御発振器を、発振段と、該発振段の発振信号を緩衝増幅するバッファ段とから構成するとともに、前記発振段の発振信号を PLL 制御回路へ出力し、前記バッファ段の出力信号を外部へ出力したことを特徴とする PLL 回路。

【請求項 2】 前記電圧制御発振器の発振段の出力部と前記 PLL 制御回路との間に前記バッファ段とは別のバッファ回路を設けたことを特徴とする請求項 1 に記載の PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、通信機における局部発振回路などに用いられる、所定の周波数信号を発生する PLL 回路に関する。

【0002】

【従来の技術】 例えば携帯電話の端末やトランシーバなどの通信機において、局部発振回路は一般に電圧制御発振器（以下 VCO と言う。）を含む PLL 回路で構成されている。

【0003】 このような従来の PLL 回路の構成を図 6 に示す。同図において TCXO1 は温度補償水晶発振器からなる基準周波数信号発振器であり、基準周波数信号を発生する。VCO2 は入力される制御電圧に応じた周波数で発振し、その信号を PLL-IC3 に対して帰還信号として与える。PLL-IC3 内には基準周波数信号と帰還信号をそれぞれ分周する分周器を備えていて、PLL-IC3 は分周された基準周波数信号と分周された帰還信号との位相差を検出し、その位相差に応じた制御信号を発生する。ループフィルタ 4 はその信号に対して所定のフィルタリングを行って、VCO2 に制御電圧として与える。この構成によって、VCO2 は PLL-IC3 内の分周器の分周比と基準周波数信号の周波数とによって定まる周波数で発振し、これを局部発振信号などとして外部へ出力することになる。

【0004】

【発明が解決しようとする課題】 図 6 に示した従来の PLL 回路においては、その出力に接続される負荷の影響によって、VCO2 のバッファ段の信号レベル（電圧レベル）が変動し易く、そのためバッファ段から PLL-IC3 へフィードバックされる信号のレベルも変動することになる。従って負荷インピーダンスが低下するなどして VCO2 の出力信号レベルが低下すれば、そのレベ

ルが PLL-IC3 の入力感度を下回って位相ロックが一時的にはずれる、という問題が生じる。また、VCO2 の出力信号レベルが PLL-IC3 の入力感度を下回らない場合でも、帰還信号のレベルが変動すれば、安定したロック状態が得られなくなるおそれがあった。

【0005】 この発明の目的は VCO の出力に接続される負荷の影響を受けずに安定したロック状態を維持できるようにした PLL 回路を提供することにある。

【0006】

【課題を解決するための手段】 この発明は、基準周波数信号を発生する基準周波数信号発振器、制御電圧に応じた周波数で発振する電圧制御発振器、該電圧制御発振器の発振信号と前記基準周波数信号とを入力して制御信号を発生する PLL 制御回路、および前記制御信号をフィルタリングして前記電圧制御発振器に対する制御電圧を発生するループフィルタを備えた PLL 回路において、外部に接続される負荷による影響を受けないようにするために、請求項 1 に記載のとおり、電圧制御発振器を、発振段と、該発振段の発振信号を緩衝増幅するバッファ段とから構成するとともに、前記発振段の発振信号を PLL 制御回路へ出力し、前記バッファ段の出力信号を外部へ出力する。

【0007】 このように構成すれば、外部に接続される負荷と PLL 制御回路の帰還信号入力部とが直接接続されずに、両者間に電圧制御発振器のバッファ段が介在することになるため、PLL 制御回路に入力される上記帰還信号が負荷の変動による影響を受けずに、常に安定した位相ロック状態が維持できる。

【0008】 また、この発明は請求項 2 に記載のとおり、電圧制御発振器の発振段の出力部と PLL 制御回路との間に前記バッファ段とは別のバッファ回路を設ける。これにより電圧制御発振器の発振段が PLL 制御回路の帰還信号入力部の入力インピーダンスの変動などの影響を受けることなく、電圧制御発振器と PLL 制御回路が共に常に安定した動作を維持することになる。

【0009】

【発明の実施の形態】 この発明の第 1 の実施形態に係る PLL 回路の構成を図 1 ～図 3 を参照して説明する。

【0010】 図 1 は図 6 に対比して示した PLL 回路の構成を示すブロック図である。同図において TCXO1 は温度補償水晶発振器からなる基準周波数信号発振器であり、基準周波数信号を発生する。VCO2 の発振段は入力される制御電圧に応じた周波数で発振し、その信号を PLL-IC3 に対して帰還信号として与える。VCO2 のバッファ段はこれを緩衝増幅して外部へ出力する。PLL-IC3 内には基準周波数信号と帰還信号をそれぞれ分周する分周器を備えていて、PLL-IC3 は分周された基準周波数信号と分周された帰還信号との位相差を検出し、その位相差に応じた制御信号を発生する。ループフィルタ 4 はその信号に対して所定のフィル

3

タリングを行って、VCO2に制御電圧として与える。

【0011】図2は図1に示したPLL-IC3の構成を示すブロック図である。ここで分周器31はプログラマブル分周器であり、OSCin端子から入力される基準周波数信号を指定された分周比で分周する。プリスケアラ32はfin端子から入力される帰還信号を一定の分周比で分周する。分周器33はプログラマブル分周器であり、プリスケアラ32の出力信号を指定された分周比で分周する。位相比較器34は分周器31と33の出力信号の位相を比較し、位相差に応じた信号を出力する。チャージポンプ35はこれを制御信号に変換してD_o端子へ出力する。

【0012】図3は図1に示したPLL回路の具体的な回路例を示す図である。同図においてVCO2の発振段はコルピッツ型発振回路を変形したものであり、コンデンサC1、C2、C3、C4、C5と可変容量ダイオードVD、マイクロストリップラインからなるインダクタL1およびトランジスタQ1により発振回路の主要部を構成している。抵抗R1、R2、R3はトランジスタQ1、Q2のベースバイアス回路を構成している。Cpはバイパスコンデンサであり、トランジスタQ1のコレクタを高周波的に接地することにより、コンデンサC2をトランジスタQ1のコレクターエミッタ間に等価的に接続している。トランジスタQ1のエミッタと接地間には抵抗R4、インダクタL4およびコンデンサC2を接続して、トランジスタQ1のエミッタから発振信号を出力するようにしている。この発振信号はコンデンサC5を介してPLL-IC3のfin端子に帰還信号として与えている。PLL-IC3は制御信号をD_o端子から出力し、ループフィルタ4はそれを平滑する。これにより、可変容量ダイオードVDにはループフィルタ4からインダクタL2を介して制御電圧が印加され、その制御電圧に応じて静電容量が変化することにより発振周波数が変化する。トランジスタQ2はバッファ段としてのトランジスタであり、トランジスタQ2のコレクタにインダクタL3を介して電源電圧Vcc1を印加している。トランジスタQ1のエミッタとトランジスタQ2のベース間にはコンデンサC6を接続し、Q2のコレクタからコンデンサC7を介して外部へ出力信号を取り出している。

【0013】このような構成であるため、出力端子に接続される負荷が変動してもVCO2の発振段の動作には影響を与えず、PLL-IC3に対する帰還信号のレベルが低下することがない。

【0014】次に、この発明の第2の実施形態に係るPLL回路の構成を図4および図5を参照して説明する。

4

【0015】第1の実施形態では、図1に示したようにVCO2の発振段の発振信号を直接PLL-IC3へ入力するようにしたが、この第2の実施形態では、図4に示すようにVCO2の発振段の出力部とPLL-IC3との間にバッファ回路5を設けている。

【0016】図5は上記バッファ回路5の構成例を示す図である。VCOの発振段の構成は図3に示したものと同様であり、その発振段の出力信号をコンデンサC5を介してバッファ回路5へ与えている。このバッファ回路5はエミッタ接地回路であり、抵抗R5、R6、R7がベースバイアス回路を構成し、インダクタL5が負荷抵抗、コンデンサC9がバイパスコンデンサとして作用する。そしてトランジスタQ3のコレクタからコンデンサC8を介してPLL-ICに対する帰還信号を取り出している。

【0017】

【発明の効果】請求項1に係る発明によれば、外部に接続される負荷とPLL制御回路の帰還信号入力部とが直接接続されずに、両者間に電圧制御発振器のバッファ段が介在することになるため、PLL制御回路に入力される上記帰還信号が負荷の変動による影響を受けずに、常に安定した位相ロック状態が維持できる。

【0018】また、請求項2に係る発明によれば、電圧制御発振器の発振段がPLL制御回路の帰還信号入力部の入力インピーダンスの変動などの影響を受けることなく、電圧制御発振器とPLL制御回路が共に常に安定した動作を維持することになる。

【図面の簡単な説明】

【図1】第1の実施形態に係るPLL回路の構成を示すブロック図である。

【図2】図1に示すPLL-ICの構成を示すブロック図である。

【図3】第1の実施形態に係るPLL回路の回路図である。

【図4】第2の実施形態に係るPLL回路のブロック図である。

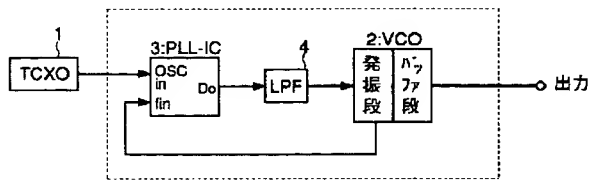
【図5】図4におけるバッファ回路の構成を示す図である。

【図6】従来のPLL回路の構成を示すブロック図である。

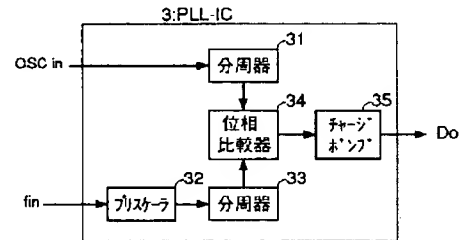
【符号の説明】

- 1-TCXO（基準周波数信号発振器）
- 2-VCO（電圧制御発振器）
- 3-PLL-IC（PLL制御回路）
- 4-LPF（ループフィルタ）
- 5-バッファ回路

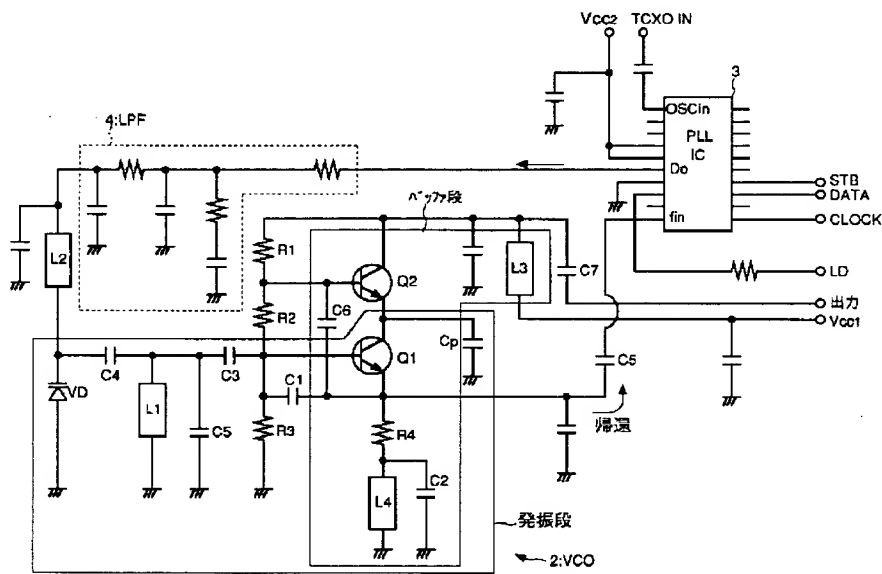
【図1】



【図2】

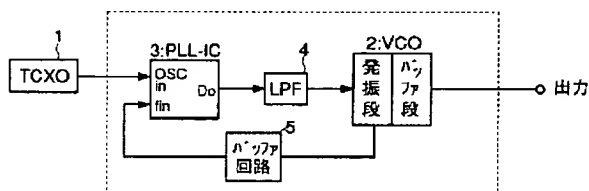


【図3】



【図4】

【図5】



【図6】

